

## 並列構造ロボットビジョンVLSIプロセッサの構成に関する研究

著者	佐々木 慶文
号	15
発行年	1995
URL	<a href="http://hdl.handle.net/10097/12698">http://hdl.handle.net/10097/12698</a>

氏 名 (本 籍)	さ さ き よ し ふ み 佐 々 木 慶 文 (宮 城 県)
学 位 の 種 類	博 士 (情 報 科 学)
学 位 記 番 号	情 博 第 15 号
学 位 授 与 年 月 日	平 成 8 年 3 月 26 日
学 位 授 与 の 要 件	学位規則第4条第1項該当
研 究 科 , 専 攻	東北大学大学院情報科学研究科(博士課程)情報基礎科学専攻
学 位 論 文 題 目	並列構造ロボットビジョン VLSI プロセッサの構成に関する研究
論 文 審 査 委 員	(主 査) 東北大学教授 亀山 充隆 東北大学教授 樋口 龍雄 東北大学教授 大見 忠弘 (工学研究科)

## 論 文 内 容 要 旨

### 第1章 緒 言

知能ロボットが自律動作を行なうためには、対象物体や障害物の3次元距離情報の獲得が重要である。また、環境の動的変化に柔軟に対応するためには、画像が取り込まれてから計測結果を得るまでの演算遅れ時間を小さくする必要がある。しかしながら、信頼性の高い3次元計測のためには膨大な計算を要するため、演算遅れ時間最小化に着目した専用VLSIプロセッサ化が必須である。

このための3次元計測アルゴリズムは、同一の処理を異なるデータに対して規則的に繰り返すという特徴を有するため、提案するVLSIプロセッサのアーキテクチャとしては基本的にはパイプライン処理が有用である。また、各パイプラインステージの演算は本質的に並列性を有し、空間的並列処理が適するため、両者を融合したパイプライン/空間的並列融合形アーキテクチャを提案する。

このようなアーキテクチャに基づくプロセッサを一定面積という制約下で設計する場合には、レジスタや演算器面積を考慮しなければならないため、演算遅れ時間が最小となるパイプライン段数と空間的並列度の最適組合せを探索することが重要である。本論文では、この探索問題を分枝限定的手法により効率化した設計法を提案している。さらに、モデルベースストロボットビジョンおよびステレオビジョンVLSIプロセッサを設計し、レイアウトCADなどによる性能評価を行なっている。

### 第2章 並列構造ロボットビジョン VLSI プロセッサアーキテクチャに関する基礎的考察

本論文で扱う3次元計測アルゴリズムは、図1のデータ依存グラフに示すように、同一の処理を異なるデータに対して規則的に繰り返すという特徴を有する。また、ある一群のデータの処理結果から計測結果が得られるため、演算遅れ時間が問題となる。

このような特徴を有する処理を高速に実現するためのVLSIプロセッサのアーキテクチャとしては、基本的にはパイプライン処理が有用である。一方で、各パイプラインステージ内の演算は、データ依存グラフにおいて高さが同一の演算、すなわち本質的に並列性を有する演算であるため、空間的並列処理が有用である。

以上の観点から、ロボットビジョンVLSIプロセッサのアーキテクチャとして、両者を融合したパイプライン/空間的並列融合形アーキテクチャを提案する。

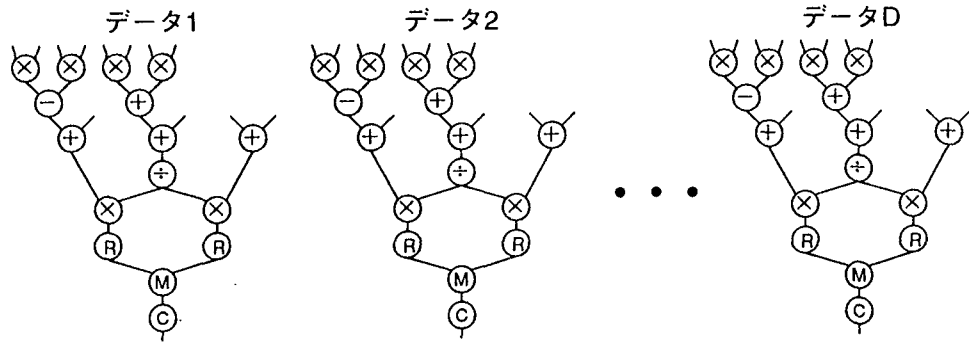


図1：ロボットビジョンに特有なデータ依存グラフ

### 第3章 並列構造ロボットビジョン VLSI プロセッサの設計

図2にパイプライン/空間的並列融合形 VLSI プロセッサのハードウェアモデルを示す。

このモデルでは、性能がパイプラインピッチと直列的繰り返し回数の積で決定されるため、図3に示すようにいずれか一方だけを向上させても必ずしも最適解が得られない場合が多い。このため、融合形プロセッサの設計は演算遅れ時間が最小となるパイプライン段数と空間的並列度の組合せを探索する問題と考えることができる。パイプライン段数と空間的並列度の2次元空間に対して総当りの探索を行なうと設計時間が膨大になるため、分枝限定的手法に基づき効率化を図っている。

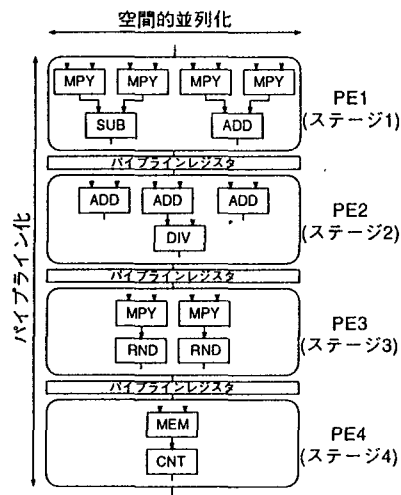


図2：プロセッサモデル

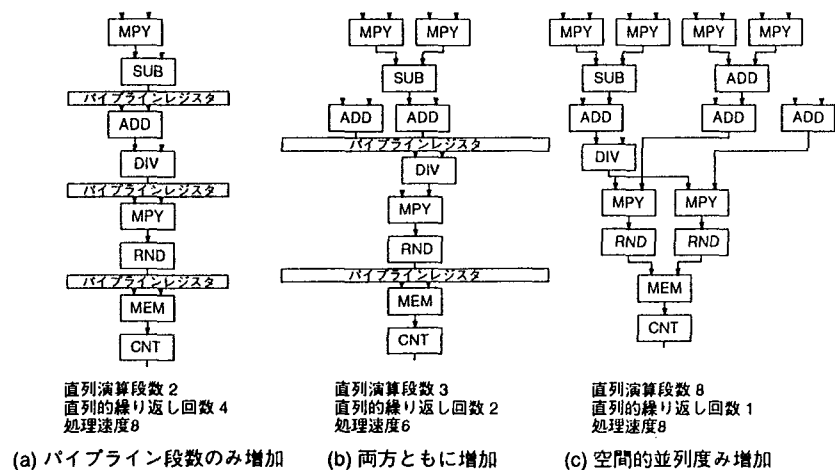


図3：面積配分に対する VLSI プロセッサの性能

#### 第4章 モデルベースロボットビジョン VLSIプロセッサの構成

図4に計測の原理を示す。対象物体の2次元シルエット画像が入力画像として取り込まれる。この入力画像と、あらかじめ記憶したモデルに種類／姿勢／位置の候補を与え、透視投影に基づき生成したモデル投影画像とを照合し、与えた候補を検証する。この検証だけでは総当たり探索を必要とし、探索回数が膨大となるため、入力画像の端点という特徴点とモデルから逆透視投影の原理に基づき、対象物体の位置を算術演算に基づき推定する位置推定アルゴリズムを併せて提案している。

以上のアルゴリズムに基づく VLSI プロセッサは、位置推定と候補検証の2種類の PE を1チップ化するため、2種類の PE への面積配分を最適化しつつ、各 PE を第3章の設計法で設計するように、設計法を拡張している。図5に示す VLSI プロセッサは 800msec で計測が可能であり、汎用ワークステーションの 5000倍の高速化を達成している。

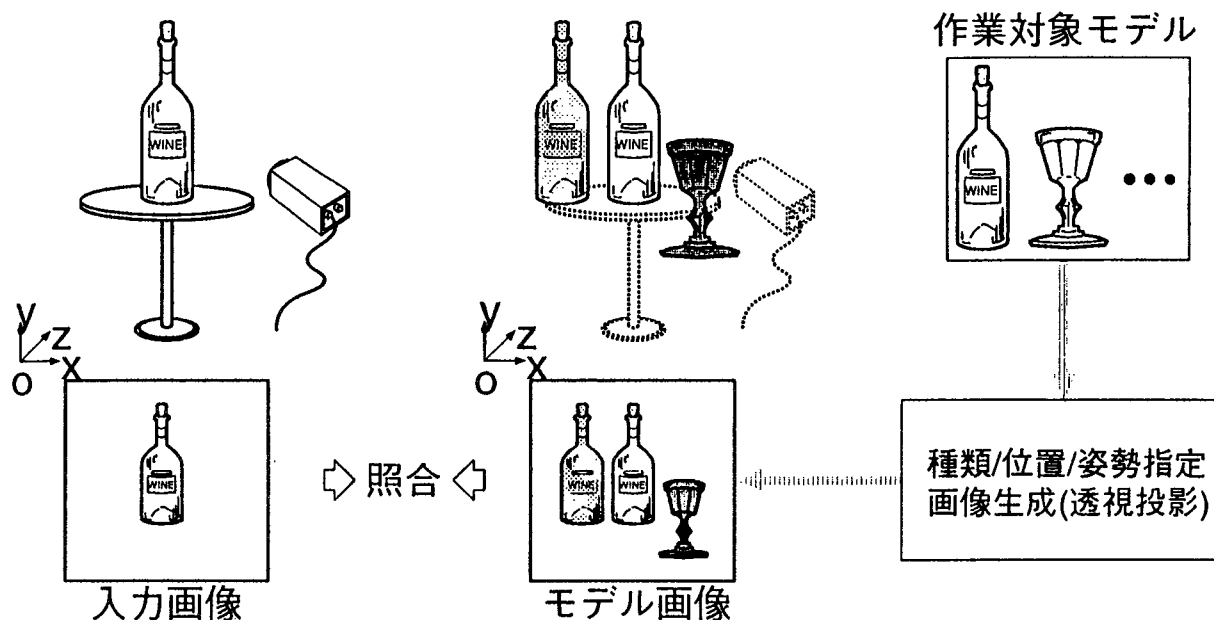


図4：モデルベースロボットビジョン

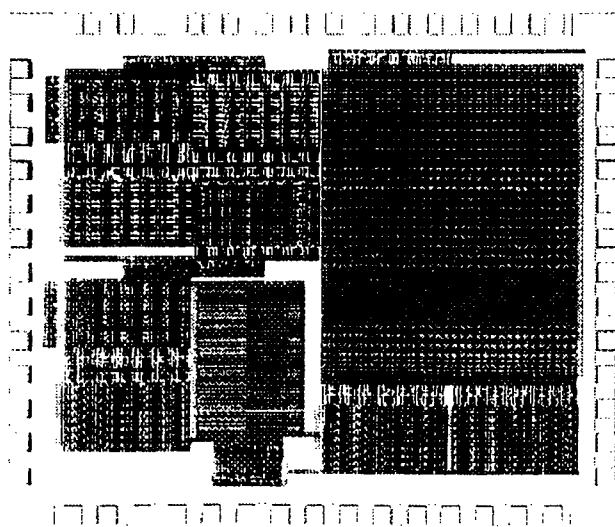


図5：モデルベースロボットビジョンプロセッサ

## 第5章 ステレオビジョン VLSI プロセッサの構成

ステレオビジョンは対象物体を左右2台のカメラから取り込むときのずれ（視差）を利用し、三角測量の原理に基づき計測を行なうアルゴリズムである。このための対応点探索アルゴリズムとしては、規則性の点で VLSI 化に適合する相関演算に基づく方法を採用する。

相関演算に基づく対応点探索では、異なる画像領域に相関演算を繰り返すことから融合形アーキテクチャが適するため、第3章の設計法に基づき演算部を構成する。この場合、並列性の高い構成が得られるため、並列入力の実現が重要である。

通常のメモリの並列化ではメモリ容量が膨大となるため、シフトレジスタバッファにより共有可能データを再利用し、メモリ容量を削減することにより、演算部の並列度を6倍程度向上させている。図7に示す VLSI プロセッサは120 msec 程度で可能であり、汎用ワークステーションの6000倍の高速化を達成している。

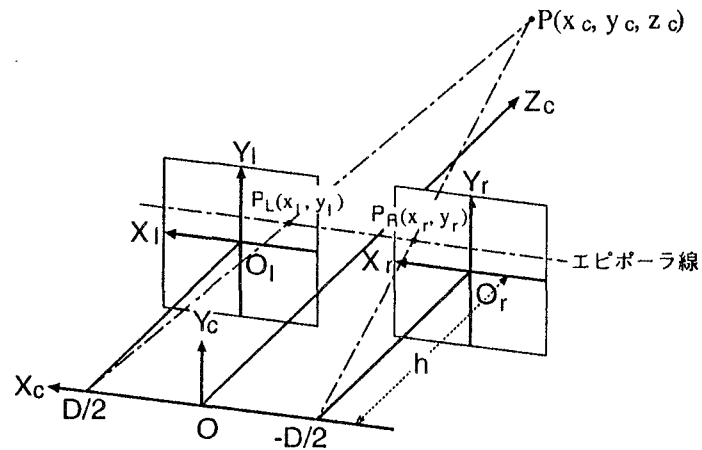


図6：ステレオビジョンの原理

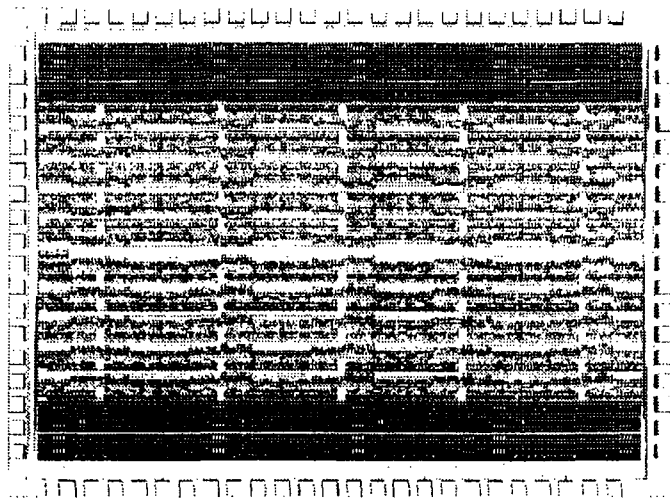


図7：ステレオビジョンプロセッサ

## 第6章 結 言

本章では、本研究の総括を行なうとともに、今後の研究課題について展望している。

## 審 査 結 果 の 要 旨

リアルワールド応用知能集積システムにおいては、3次元画像情報を高速に計測・処理することが重要であり、高速応答性を有するシステムオンチップ技術が望まれている。

著者は、限定されたチップ面積のもとで最高性能を達成するVLSIプロセッサの構成のためには、パイプラインと空間的並列構造の融合が有用であることに着目し、ロボットビジョンVLSIプロセッサの構成法を明らかにした。本論文はその成果をとりまとめたもので、全文6章よりなる。

第1章は緒言である。

第2章では、対象物体モデルが既知の場合に有用となるモデルベースト3次元計測・処理法を提案し、ステレオビジョンとの相違点について論じている。また、これらの処理の規則性に着目した並列構造VLSIプロセッサの構成のためには、パイプラインと空間的並列アーキテクチャの融合が重要となることを明らかにしている。

第3章では、パイプライン／空間的並列構造融合形アーキテクチャの構成理論について述べている。パイプラインステージ数と空間的並列度との最適な組合せを効率よく求めるため、スケジューリングとアロケーションによる面積・速度評価と分枝限定法とを組合せた探索法を提案している。これらは、VLSIプロセッサ内の並列演算構造の最適化に有用な成果である。

第4章では、モデルベースト3次元計測・処理の計算量減少のため、入力画像の端点座標を利用した位置推定アルゴリズムを提案している。本プロセッサでは、位置推定や候補検証などの複数種類のプロセッサ要素（PE）がシングルチップ上に実現される。これらのPEの面積配分を全体の演算遅れ時間が最小となるよう最適化した後、パイプライン／空間的並列構造融合形アーキテクチャに基づく設計法を提案している。この結果、0.8  $\mu\text{m}$  CMOS設計ルールに基づき

12×8 mm<sup>2</sup>内にオンチップ化されたプロセッサの性能は、汎用ワークステーションによる処理性能と比較して5000倍程度になることを明らかにしている。

第5章では、相関演算に基づく対応点探索によるステレオビジョンVLSIプロセッサの構成について述べている。本プロセッサのパイプライン／空間的並列構造融合形アーキテクチャにおいては、並列データ入力の供給が性能向上に重要であることに着目し、並列構造シフトレジスタアレーを考案している。この結果、16×12 mm<sup>2</sup>内にオンチップ化されたプロセッサの性能は、汎用ワークステーションによる処理と比較して6000倍程度となることを明らかにしている。これは重要な成果である。

第6章は結言である。

以上要するに本論文は、システムオンチップのために、演算遅れ時間が小さい高性能VLSIプロセッサの構成理論を考案し、ロボットビジョンVLSIプロセッサへ適用しその有用性を明らかにしたものであり、情報基礎科学の発展に寄与するところが少なくない。

よって、本論文は博士（情報科学）の学位論文として合格と認める。